



DEUTSCHES
PATENTAMT

21 Aktenzeichen: 195 40 160.3
22 Anmeldetag: 27. 10. 95
3 Offenlegungstag: 30. 4. 97

DE 195 40 160 A 1

71 Anmelder:
Kirstädter, Andreas, 85560 Ebersberg, DE

72 Erfinder:
gleich Anmelder

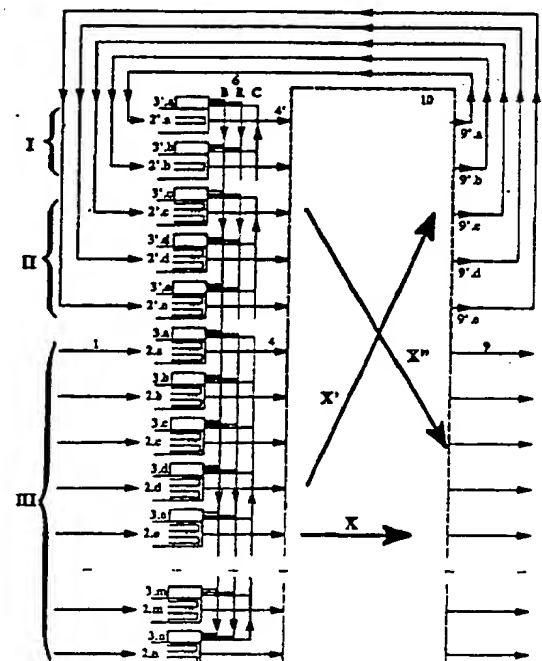
Prüfungsantrag gem. § 44 PatG ist gestellt

54 Verfahren zur Koordinierung über serielle Leitungen von eingangsgepufferten ATM Vermittlungseinrichtungen zur Vermeidung von Ausgangsblockierungen

57 Verfahren zur Koordinierung über serielle Leitungen von eingangsgepufferten ATM-Vermittlungseinrichtungen zur Vermeidung von Ausgangsblockierungen.

Eine Pufferung von bzgl. eines Ausgangs konkurrierenden ATM-Zellen bereits am Eingang der Vermittlungseinrichtung ist aus Implementierungsgründen vorzuziehen. Hierfür bekannte Koordinierungsverfahren, die die Sendeberechtigung zu einem Ausgang an die erfolgreiche Beladung von Bitpositionen auf einer seriellen Leitung koppeln, sind zwar prinzipiell für den Aufbau großer Vermittlungseinrichtungen bei hohen Leitungsbilraten geeignet. Sie bieten jedoch bzgl. der Durchsatzes konkurrierender Eingänge noch keine ausreichende Fairneß. Außerdem ist eine flexible und kostengünstige Berücksichtigung von Punkt-zu-Mehrpunkt-, unterschiedlich priorisierter und konstantbitratiger Verbindungen noch nicht möglich.

Dem eigentlichen Beladungszugriff auf die Bitpositionen der seriellen Leitung (8) wird ein Reservierungsverfahren überlagert, das eine absolute Fairneß garantiert. Durch Unterbrechung der Reservierungsleitungen können die Eingänge zu unterschiedlich priorisierten Gruppen (I, II und III) zusammengefaßt werden, wobei Gruppen am Anfang der Leitung die Bearbeitung von Zellen aus höherpriorisierten und Punkt-zu-Mehrpunkt-Verbindungen übernehmen, die an diese dedizierten Eingänge zurückgeschleift (X', X'') wurden. Zellen aus konstantbitratigen Verbindungen werden durch Zugriff auf eigens dafür markierte Bitpositionen bearbeitet.



Die Erfindung bezieht sich auf ein Verfahren zur Koordinierung von eingangsgepufferten ATM-Vermittlungseinrichtungen über serielle Leitungen zur Vermeidung von Ausgangsblockierungen.

Ausgangsblockierungen entstehen bekanntlich (auch in intern blockierungsfreien Vermittlungseinrichtungen) für den Fall, daß zwei oder mehr Eingänge der Vermittlungseinrichtung zur selben Zeit jeweils eine oder mehrere Zellen zum gleichen Ausgang der Vermittlungseinrichtung übertragen wollen und die Ausgangsleitung, die normalerweise mit der selben Bitrate wie die Eingangsleitungen betrieben wird, innerhalb einer Zelldauer nur eine ATM-Zelle weiterleiten kann. Zur Vermeidung von Zellverlusten müssen daher einige Zellen vorübergehend zurückgehalten werden.

Für die Art und Weise, wie diese Zwischenpufferung erfolgt, sind aus der einschlägigen Fachliteratur bereits mehrere Alternativen bekannt (vgl. hierzu u. a.: Garcia-Haro, Joan/Jajszczyk, Andrzej: "ATM Shared-Memory Switching Architectures" in IEEE Network Juli/August 1994, S. 18—26; sowie: Liew, Soung C.: "Performance of Various Input-buffered and Output-buffered ATM Switch Design Principles under Bursty Traffic: Simulation Study" in: IEEE Transactions on Communications, Vol. 42, No. 2/3/4, Feb./Mrz./Apr. 1994, S. 1371—1379).

Bei hohen Leitungsbitraten und einer großen Anzahl von Ein- und Ausgängen ist eine Pufferung der Zellen an den Eingängen der Vermittlungseinrichtung vorteilhaft (vgl. hierzu u. a. Peter Newman: "ATM Technology for Corporate Networks" in: IEEE Communications Magazine, April 1992, S. 90—101), da hier anstelle teurer Speziallösungen preisgünstige dynamische RAM-Speicherbausteine großer Kapazität, wie sie in großen Mengen in Personal-Computer-Sektor eingesetzt werden, Verwendung finden können.

Zusätzlich muß für jede Zelldauer entschieden werden, welche Zelle welches Eingangs zu welchem Ausgang übertragen wird. Für dieses Koordinierungsproblem wurden in der Literatur bereits mehrere Lösungen vorgeschlagen. Die wesentlichen Grundprinzipien und ihre Grenzen seien hier im folgenden kurz umrissen:

Sehr häufig werden Verfahren mit einer zentralen Koordinierereinrichtung genannt (vgl. Obara, H.: "Optimum Architecture for Input Queueing ATM Switches", in: Electronics Letters, Vol. 27, No. 7, 28. Mrz. 1991, S. 555—557 und Matsunaga, H./Uematsu, H.: "A 1.5 Gb/s 8 x 8 Cross-Connect Switch Using a Time Reservation Algorithm", in: IEEE Journal on Selected Areas in Communications, Vol. 9, No. 8, Okt. 1991, S. 1308—1317), die für jede Zelldauer zunächst von den Eingangspuffern über die dort vorhandenen Zellen informiert wird, dann nach einem bestimmten Algorithmus die zu übertragenden Zellen auswählt, diese Entscheidung dann den Eingangspuffern mitteilt, woraufhin letztere schließlich die entsprechenden Zellen übertragen können. Da die genannten Kommunikations- und Entscheidungsvorgänge aus Gründen eines aktuellen Informationsstandes sämtlich innerhalb einer einzigen Zelldauer ablaufen müssen, sind diese Verfahren nicht für ATM-Vermittlungseinheiten mit hohen Leitungsbitraten und/oder einer großen Anzahl von Ausgängen pro Vermittlungseinheit verwendbar.

Aus diesem Grund wird heute allgemein zu einer Parallelisierung des Entscheidungs- und Kommunikationsproblems übergegangen. Hierbei wird insbesondere das sog. "Output Scheduling" eingesetzt (vgl. Main, J./Sar-

kies, K.: "Cell Scheduling Using Status Arrays in Input Buffered ATM Switches", in: Proceedings of the First IEEE Workshop on Broadband Switching Systems", Poznan, Polen, 19.—21. April 1995), bei dem jeweils pro Ausgang eine Entscheidungseinheit vorhanden ist, die von den Eingangspuffern die Übertragungswünsche zum betreffenden Ausgang empfängt, einen Eingangspuffer auswählt und diesem dann die konfliktfreie Übertragung der entsprechenden Zelle zusichert. Bei diesem Verfahren ist also eine Vielzahl von parallel ablaufenden Kommunikationsvorgängen (zusätzlich zur eigentlichen Nutzdatenübertragung, d. h. der ATM-Zellen) pro Zelldauer nötig, was insbesondere bei großen Vermittlungseinrichtungen einen hohen Bedarf an zusätzlicher schneller und damit teurer Hardware nach sich zieht.

Andere Verfahren (so z. B. Hayter, T. A. et al.: "Improvements Relating to ATM Communication Systems", European Patent Application, Publication Number 0 624 015 A2) versuchen, den Kommunikationsaufwand des "Output Scheduling" dadurch zu reduzieren, daß die Koordinierung nicht mehr auf Zellebene, d. h. für jede einzelne ATM-Zelle, ausgeführt wird. Vielmehr fordern die Eingangspuffer entsprechend ihres Füllstands von Zeit zu Zeit Übertragungsraten bzgl. der Zellübertragung zu den Ausgängen an und bekommen ebensolche dann zugewiesen. Durch diese Verminderung der Anforderungs-/Bestätigungskommunikation wird jedoch eine zusätzliche Koordinierungsträgheit eingebracht, die bei burst-haften (d. h. nicht konstant-bitratigen) Zellströmen zu einer Minderauslastung der Vermittlungseinrichtung führt.

Ein gänzlich anderer Weg zur Reduzierung des Koordinationsaufwandes (schon auf der Zellebene) und seiner notwendigen Zusatzkommunikation ist das Ring-Reservation-Verfahren (vgl.: Bingham, B./Bussey, H.: "Reservation-Based Contention Resolution Mechanism For Batcher-Banyan Packet Switches", in: Electronics Letters, Vol. 24, No. 13, 23. Juni 1988, S. 772—773):

Durch Einführung einer hierbei noch ringförmigen seriellen Leitung, die die einzelnen Eingangspuffer (bzw. deren Steuerungen) miteinander verbindet, wird die Erlaubnis, eine Zelle zu einem bestimmten Ausgang übertragen zu dürfen, an die erfolgreiche Belegung einer dem betreffenden Ausgang entsprechenden Bitposition auf der seriellen Leitung gekoppelt. Hierzu wird zu Beginn einer jeden Zelldauer durch eine Kopfstation ein Strom einer — der Ausgangszahl entsprechenden — Zahl von Bits erzeugt, die zunächst alle den Wert "unbelegt" (d. h. logisch "0") haben. Die Zuordnung der einzelnen Bits zu den entsprechenden Ausgängen der Vermittlungseinheit erfolgt durch ihre Position innerhalb der so erzeugten Bitfolge (Rahmen). Die einzelnen Eingangspuffersteuerungen "stromabwärts" (d. h. in Übertragungsrichtung) auf der seriellen Leitung prüfen nun den Zustand derjenigen Bitposition, die dem Zielausgang der ATM-Zelle an vorderster Pufferposition entspricht: ist das Bit noch unbelegt, so sichert sich die betreffende Eingangspuffersteuerung das Übertragungsrecht zum entsprechenden Ausgang dadurch, daß sie es in den Zustand "belegt" (log. "1") bringt; ein belegtes Bit hingegen versperrt den Zugang zum entsprechenden Ausgang.

Somit kann über eine einzelne serielle Leitung (mit entsprechend geringem Kommunikationsaufwand) eine implizite Koordinierung von Eingängen erfolgen, die um denselben Ausgang konkurrieren. Zwei Aspekte trüben jedoch die Erfolgsaussichten des Ring-Reserva-

tion-Verfahrens:

Zum einen ist eine inhärente positionsabhängige Unfairneß vorhanden: Puffersteuerungen nahe der Kopfstation haben bessere Chancen, das gewünschte Bit zu belegen, als weiter entfernt liegende Puffersteuerungen. Die Erfinder der Ring Reservation versuchten, diese Unfairneß durch ein Weiterschieben der Startposition des Rings (d. h. der Puffersteuerung, die als erste belegt darf) um jeweils einen Eingang nach jeder Zelldauer auszugleichen. Wie man jedoch leicht sehen kann kann dieses Verfahren nur eine stark eingeschränkte Fairneß garantieren: von zwei nebeneinanderliegenden konkurrierenden Eingängen X und Y ist bei Durchrotation des Ring-Startpunkts fast immer noch der stromaufwärts (im Sinne der Übertragungsrichtung des Ring-Bitsstroms) liegende Eingang X im Vorteil (er "sieht" zuerst die unbelegte Bitposition); Y ist nur ein einziges Mal im Vorteil, nämlich dann, wenn der Startpunkt bei Y selbst liegt.

Ein weiterer Nachteil des beschriebenen Ring Reservation-Verfahrens ist der geringe Maximaldurchsatz der so koordinierten Vermittlungseinrichtung, der durch den in der Literatur als Head-Of-Line(HOL)Blockierung bezeichneten Effekt hervorgerufen wird: es wird stets nur die vorderste Zelle eines jeden Eingangspuffers betrachtet; kann diese nicht zum Zuge kommen, da schon ein anderer Eingang sich das Übertragungsrecht gesichert hat, so bleiben auch sich weiter hinten im blockierten Eingangspuffer befindende Zellen, die zu bisher (und evtl. insgesamt) unbelegten Ausgängen gerichtet sind, unberücksichtigt. Als Abhilfe für die HOL-Blockierung wird häufig eine Erhöhung der internen Verarbeitungsgeschwindigkeit der eigentlichen Vermittlungseinrichtung vorgeschlagen (so z. B. in: Lyles, J. B./Bell, Alan G.: "A Switching Network", European Patent Application, Publication Number 0 571 166 A2), so daß insgesamt pro Zelldauer und Ausgang k ($k > 1$) Zellen vermittelt werden können und in insgesamt k Ringreservierungsumläufen pro Zelldauer die vordersten k Zellen jedes Eingangspuffers betrachtet werden. Problematisch ist hierbei insbesondere die Vervielfachung des Aufwands an schneller Vermittlungs-Hardware. Auch sind die auf einer Eingangsleitung hintereinander eintreffenden Zellen bzgl. ihres Zielausgangs oft sehr stark korreliert, so daß die Anzahl von Zellen mit gleichem Ziel an der Spitze des blockierten Eingangs sehr leicht das feste k überschreitet.

Desweiteren bieten die bisher bekannten Vorschläge bzgl. Koordinierungsverfahren für eingangsgepufferte ATM-Vermittlungseinrichtungen gar keine oder nur mangelhafte Unterstützung für Punkt-zu-Mehrpunkt-Verbindungen (sog. Multicast-Verbindungen): es wird von einer Duplizierung der Zellen vor den Eingangspuffern ausgegangen (so z. B. in: Lyles, J. B./Bell, Alan G.: "A Switching Network", European Patent Application, Publication Number 0 571 166 A2), so daß nachfolgend nur noch die so erzeugten Tochterzellen vorliegen. Diese können dann auf gleiche Weise wie die Zellen von Punkt-zu-Punkt-Verbindungen im Reservierungsverfahren berücksichtigt werden. Bei einem hohen Anteil dieser Multicast-Verbindungen und/oder bei Multicast-Verbindungen mit einem großen "Fanout" (d. h. Verbindungen mit einer großen Anzahl von Zielausgängen und dadurch vielen Tochterzellen) führt diese Strategie jedoch zwangsläufig zu einer Überfüllung der Eingangspuffer und Zellverlusten.

Auch können die bisher bekannten Koordinierungsverfahren Verbindungen unterschiedlicher Priorität gar

nicht oder nur mit hohem Zusatzaufwand berücksichtigen: es wird i. allg. innerhalb derselben Zelldauer jeweils pro Prioritätsklasse (in absteigender Prioritätsfolge) jeweils ein getrennter Koordinierungsdurchlauf benötigt, was zu einem hohen Verarbeitungsaufwand führt, die Geschwindigkeitsanforderungen an die Koordinierungs-Hardware stark erhöht und letztendlich die gezielte Berücksichtigung mehrerer Prioritätsklassen bei großen Vermittlungseinrichtungen oder hohen Eingangsbitraten unmöglich macht. Besonders kritisch wird die Situation bei der Berücksichtigung unterschiedlich priorisierter Multicast-Verbindungen.

Schließlich ist bei den bisher bekannten Koordinierungsalternativen die Anzahl der Prioritätsklassen, sowie der Umfang des verarbeitbaren Aufkommens an Multicast-Zellen bereits bei der Implementierung der Vermittlungseinrichtung festgelegt und im späteren Betrieb nicht mehr an das dann längerfristig vorherrschende Verkehrsaufkommen adaptierbar.

Die Vermittlung von Verbindungen mit konstanter Bitrate, deren Zelldurchsatz unabhängig vom Zellmultiplex der übrigen Verbindungen zu garantieren ist, kann bei bisherigen Koordinierungsverfahren nur durch die Einführung einer zusätzlichen Prioritätsklasse bewältigt werden, was die Ausführung der Koordinierung verlangsamt und den Hardware-Aufwand erhöht.

Es ist nun Aufgabe der vorliegenden Erfindung, ein auf dem Zugriff auf eine serielle Leitung basierendes Koordinierungsverfahren für eingangsgepufferte ATM-Vermittlungseinrichtungen gemäß Oberbegriff des Patentsanspruchs 1 vorzustellen, das einerseits unter allen Lastsituationen für alle Eingänge ein hohen, fairen Durchsatz erzielt und andererseits eine flexible, realisierbare und kostengünstige Lösung des Problems der Bedienung von Multicast-Verbindungen, von Verbindungen unterschiedlicher Prioritätsklassen, sowie von Verbindungen konstanter Bitraten ermöglicht.

Erfindungsgemäß wird die vorstehend aufgezeigte Aufgabe dadurch gelöst, daß jeder Eingangspuffer bzgl. der Ausgänge der Vermittlungseinrichtung in Subpuffer unterteilt wird und der prüfende und belegende Zugriff der einzelnen Eingangspuffersteuerungen auf die Bitpositionen der seriellen Leitung zunächst völlig ungeordnet rein sequentiell erfolgt und stets bei der obersten Steuerung beginnt und der Fairneßausgleich der Durchsätze der einzelnen konkurrierenden Eingangspuffer bzgl. derselben Ausgänge durch dem eigentlichen Bitbelegungszugriff überlagerte adaptive Reservierungsverfahren bzgl. einzelner Bitpositionen hergestellt wird, indem zeitweilig nur den Steuerungen der bisher benachteiligten Eingangspuffer ein Zugriff auf hierfür reservierte Bitpositionen erlaubt wird.

Die Erfindung bringt folgende Vorteile mit sich:

Durch die Abspeicherung zwischenzupuffernder Zellen in Subpuffern entsprechend ihres Zielausgangs lassen sich die erwähnten Head-of-Line-Blockierungen vollständig vermeiden, wodurch auch bei einer Koordinierung über eine serielle Leitung ein Durchsatz von nahezu 100% (gemessen über die Auslastbarkeit einer Ausgangsleitung) erzielt werden kann, ohne daß eine interne Geschwindigkeitserhöhung des Kerns der Vermittlungseinrichtung nötig ist.

Die so erhaltene Vorsortierung der Zellen ermöglicht desweiteren eine sehr kostengünstige Ausführung des eigentlichen Switch-Kerns. Die Zielausgangsinformationen der einzelnen Zellen müssen dort nicht nochmal zusätzlich ausgewertet werden, so daß einfache Cross-Bar-Bausteine oder eine reine Verdrahtungslösung be-

reits ausreichen.

Durch den direkten Vergleich der (bzgl. jeweils eines Ausgangs) erfolgten Zellübertragungen der einzelnen Eingangspuffersteuerungen (unter Berücksichtigung ihres Bedarfs an solchen Übertragungen) können nun zunächst Benachteiligungen einzelner Eingangspuffersteuerungen durch den sequentiellen Zugriff auf die Koordinierungsleitung exakt erfaßt werden.

Dadurch, daß der Fairneßausgleich anschließend über die Reservierung von Bitpositionen erfolgt (anstelle eines starren Weiterschlebens des Ringstartpunkts), können aufgrund ihrer Lage benachteiligte Eingangspuffersteuerungen gezielt gefördert werden, so daß eine absolute Fairneß zwischen den Eingängen erzielt wird.

Der Zugriff auf die einzelnen Bitpositionen beginnt nun (abgesehen vom Zugriff auf reservierte Bits) stets bei der obersten Eingangspuffersteuerung. Dies ermöglicht eine Ausgestaltung nach Patentanspruch 2, bei der die Puffersteuerungen entlang der seriellen Leitung in Gruppen unterteilt werden, und jeweils der Fairneßausgleich für die Steuerungen einer Gruppe getrennt von den Reservierungen der anderen Gruppen erfolgt. Entsprechend ihrer Lage zueinander entlang der seriellen Leitung können nun Puffersteuerungen einer weiter unten liegenden Gruppe nur noch die Bitpositionen belegen, die ihnen die vorhergehenden Gruppen übrig gelassen haben. So ergibt sich auf einfache, zuverlässige Weise eine unterschiedliche Priorisierung der Eingänge.

Der Vorteil einer Ausgestaltung nach Patentanspruch 3 liegt nun darin, daß Zellen von Multicast-Verbindungen und höher priorisierten Verbindungen durch einfaches Rückschleifen über dedizierte Zwischenausgänge an Eingänge einer höher priorisierten Koordinierungsgruppe berücksichtigt werden können. Einerseits wird so nicht mehr an jedem Eingang der Vermittlungseinrichtung eine Einrichtung zur Zellduplizierung mit entsprechendem Speicherbedarf für die "Tochter"-Zellen benötigt. Die entsprechenden Einrichtungen zu Zellduplizierung können je nach eingeplantem Verkehrsaufkommen an Multicast-Verbindungen in einigen, wenigen dedizierten Sonderpuffersteuerungen konzentriert werden. Andererseits lassen sich diese spezialisierten Puffersteuerungen je nach Prioritätsreihung der zugeordneten Verbindungen in Koordinierungsgruppen am oberen Anfang der seriellen Leitung anordnen, wodurch den Multicast-Verbindungen eine höhere Priorität zugeordnet wird und somit eine übermäßige Blockierung bei einer Vielzahl von Tochterzellen vermieden werden kann, wenn diese der Einfachheit halber innerhalb derselben Zelldauer übertragen werden sollen. Dadurch kann zudem bei speziellen Architekturen von Vermittlungseinrichtungen (z. B. Crossbar-Technologien) die Duplizierung der Zellen erst im Kern der Vermittlungseinrichtung selbst erfolgen, was eine sehr kostengünstige und speichereffiziente Lösung darstellt, die jedoch nur bei einer gleichzeitigen Durchschaltung aller Tochterzellen möglich ist.

Außerdem läßt sich bei einer solchen Bearbeitung von Multicast- und höherpriorisierten Zellen eine flexible Umkonfiguration der Sonderpuffersteuerungen im laufenden Betrieb vornehmen: entsprechend dem längerfristig zu erwartenden Verkehrsaufkommen der einzelnen Verkehrsklassen lassen sich die dedizierten Sonderpuffersteuerungen im laufenden Betrieb in neue, dem Verkehrsaufkommen besser angepaßte, Prioritätsgruppen eingliedern. Außer einer Information der normalen Eingangspuffersteuerungen über die veränderte Zuordnung von Bitpositionen zu den entsprechenden

Prioritäts-/Multicast-Klassen reicht hierzu eine Anpassung der Verarbeitung der Fairneßinformationen an die veränderte Gruppenstruktur aus.

Die Ausgestaltung nach Patentanspruch 4 garantiert ein schnelles, verlustfreies Weiterleiten von Zellen aus Verbindungen mit konstanten Bitraten ohne die Einführung einer zusätzlichen Prioritätsklasse. Dazu reicht es aus, zur Zeit des Verbindungsaufbaus durch die überlagerte Verbindungsannahmesteuerung für jede neue dieser konstantbitratigen Verbindungen das zeitlich feste Muster der speziell gekennzeichneten, vorreservierten Bitpositionen des Zielausgangs entsprechend der Zellrate der neuen Verbindung zu ergänzen.

Nachfolgend wird nun die Erfindung anhand von

Zeichnungen beispielhaft näher beschrieben:

Fig. 1 zeigt die Basisarchitektur des vorgeschlagenen Koordinierungsverfahrens (Anmerkung: Leitungen zur Taktversorgung der einzelnen Einheiten sind der Übersichtlichkeit halber in den nachfolgenden Darstellungen nicht mit eingezeichnet):

Die auf den Eingangsleitungen 1 (der Eingänge a bis n) hereinkommenden Zellen werden entsprechend ihrem Zielausgang in die zugehörigen Subpuffer der Pufferverwaltung 2 eingereiht (die einzelnen Subpuffer arbeiten nach dem FIFO-Prinzip, so daß keine Überholvorgänge zwischen Zellen derselben Verbindung möglich sind). Die Informationen darüber, welche Subpuffer eine Zelle verfügbar halten, werden an die Zugriffssteuerungen 3 der Eingangspuffer übergeben. Diese Zugriffssteuerungen sind über Abgriffe 7 mit dem seriellen Medium 6 verbunden, auf dem durch die Belegung von Bitpositionen die eigentliche Koordinierung der Zugriffssteuerungen erfolgt (11 symbolisiert die Signalflußrichtung auf dem seriellen Medium).

Die von der jeweiligen Zugriffssteuerung 3 ausgewählten Zellen werden dann von der Pufferverwaltung über die Leitungen 4 an den eigentlichen Kern 10 der Vermittlungseinrichtung weitergeleitet, wo sie dann zu den Ausgängen 9 (A bis M) der Vermittlungseinrichtung durchgeschaltet werden.

Der Zugriff auf die einzelnen Bitpositionen unter Berücksichtigung von Reservierungen ist in Fig. 2a-2d gezeigt. Der Kern der Vermittlungseinrichtung sowie die Pufferverwaltungen mit ihren hin- und wegführenden Leitungen sind der Übersichtlichkeit halber hier nicht eingezeichnet. In dieser Topologie werden die Bitpositionen für die serielle Leitung 6 von der Zugriffssteuerung 3.a des Eingangs a erzeugt, die nach der Erzeugung (unter Beachtung von Reservierungen) als erste Bitpositionen belegen kann. Die einzelnen Bitpositionen, die Belegungs- und Reservierungsinformationen betreffend, werden in diesem Ausführungsbeispiel über parallele Leitungen übertragen: Leitung B für die Belegungsinformation, Leitung R für die Kennzeichnung bestimmter Bitpositionen auf der Leitung B als reservierte Bitpositionen und Leitung C für die Einleitung/bzw. Durchführung von Fairneßausgleichsvorgängen über die Bitpositionen der Leitung R. Eine Zusammenfassung der o.g. Bitpositionen im Zeitmultiplexverfahren auf eine einzelne Leitung (höherer Bitrate) zur Verringerung des Verdrahtungsaufwandes ist genauso gut möglich, sofern sie so erfolgt, daß jeweils die B- und R-Bitpositionen eines Ausgangs nicht durch die Bitpositionen anderer Ausgänge unterbrochen werden.

In der Fig. 2 sind unbelegte Bits durch ein leeres Kästchen gekennzeichnet; die Belegung wird durch Schraffur angegeben.

Im dargestellten Zugriffsszenario werden zuerst die

Bits des Ausgangs J erzeugt (6.J auf der seriellen Leitung 6). Diese Zugriffsmöglichkeit ist als reserviert gekennzeichnet und da der Eingang b über kein Reservierungsguthaben bzgl. 6.J verfügt, kann er nicht das Bit auf der B-Leitung belegen. Im nächsten Zeitschritt (eine Bitdauer später, Fig. 2b) hat Eingang b dagegen sowohl eine Zelle für Ausgang J verfügbar als auch ein entsprechendes Reservierungsguthaben und kann somit das zu 6.J gehörende Bit auf der B-Leitung belegen. Gleichzeitig zum Belegungsvorgang von b hat a die nächsten Bitposition für Ausgang K erzeugt und (da er selbst über keine Zellen für diesen Ausgang verfügt) unbelegt gelassen. Erst Eingang c hat eine Zelle für diesen Ausgang und belegt im späteren Zeitschritt der Fig. 2d die Bitposition 6.K. Vor dem Zeitschritt der Fig. 2c hat a dann die Bitposition für Ausgang L erzeugt und sofort belegt, da eine Zelle vorhanden war und 6.L nicht reserviert war.

Für den Fairneßausgleich sind Verfahren mit expliziter und solche mit impliziter Reservierung möglich.

Bei ersteren ist in der obersten Eingangspuffersteuerung (hier 3a) eine zentrale Fairneßausgleichseinheit untergebracht, die aus Zuverlässigkeitsgründen auch redundant in den übrigen Eingangspuffersteuerungen latent vorhanden sein kann. Diese stellt über die (in diesem Fall bidirektionale) Teilleitung C der seriellen Koordinierungsleitung 6 die Fairneß bzgl. der abgesendeten Zellen aller Eingänge reihum für jeden Ausgang nacheinander nach folgendem beispielhaften Verfahren (auch andere Algorithmen sind denkbar) her:

Pro Ausgang fragt die Fairneßausgleichseinheit zunächst alle Eingangspuffersteuerungen nach ihren Übertragungen und Subpufferlängen bzgl. dieses Ausgangs ab. Die entsprechenden Daten werden dann über die serielle Leitung C zur Fairneßausgleichseinheit übertragen. Diese ermittelt daraus das notwendige Guthaben an reservierten Bitpositionen, das jede einzelne Eingangspuffersteuerung noch benötigt, um einen fairen Durchsatzanteil zu erhalten. Die ermittelten Kenngrößen werden dann den einzelnen Eingangspuffersteuerungen über die serielle Leitung C bekannt gemacht. Die Fairneßausgleichseinheit summiert die errechneten Guthabenwerte auf und markiert im folgenden eine entsprechende Anzahl von Bitpositionen des entsprechenden Ausgangs als reserviert. Die einzelnen Eingangspuffersteuerungen können nun im Rahmen ihrer Guthabenwerte auf die reservierten Bitpositionen des betreffenden Ausgangs zu greifen und somit einen fairen Anteil am Gesamtdurchsatz des betreffenden Ausgangs erzielen.

Die reservierten Bitpositionen dienen somit als Ausgleich für die unfaire Bevorteilung der Eingangspuffersteuerungen mit kleinerem Index während der o.g. Übertragungs- und Rechenzeiten.

Nach Ablauf dieser Markierungsphase beginnt sofort (bzw. nach Beendigung der Datenübertragung auf C für einen anderen Ausgang) ein neuer Reservierungszyklus mit einer erneuten Abfrage durch die Fairneßausgleichseinheit.

Zur Erhöhung der Datenübertragungsgeschwindigkeit kann die Leitung C auch durch ein paralleles Leitungsbündel ersetzt werden.

Bei Verfahren mit impliziter Reservierung erfolgt die Festlegung, welche Eingangssteuerungen auf reservierte Bitpositionen zugreifen können, durch Zustandswechsel innerhalb der einzelnen Eingangspuffersteuerungen, wodurch sich die Tätigkeit der zentralen Fairneßausgleichseinheit auf ein reines Markieren der zu reservierenden Bitpositionen (auf Anforderung durch

die Eingangspuffersteuerungen) beschränkt.

Ein beispielhafter Ablauf beginnt damit, daß alle Eingangspuffersteuerungen sich im Grundzustand Z1 befinden, in dem sie nur auf unreservierte Bitpositionen zugreifen dürfen. Kommt es in der Folge zu einem Zugriffskonflikt dadurch, daß mehr als eine Eingangspuffersteuerung zu dem betrachteten Ausgang übertragen will, gewinnt zunächst die Kontrahentin mit dem kleinsten Index, da sie als erste die unbelegte und unreservierte Bitposition vorfindet. Den übrigen weiter unten liegenden Eingangspuffersteuerungen ist so der Zugriff auf den Ausgang für die aktuelle Zelldauer verwehrt. Die Verlierer gehen daraufhin in den privilegierten Zustand Z2, in dem sie auf reservierte Bitpositionen zugreifen dürfen. Das Vorhandensein von Eingangspuffersteuerungen im Zustand Z2 wird der obersten Eingangspufferung (in diesem Fall a, die auch die Bitpositionen erzeugt) durch Setzen der dem Ausgang entsprechenden Bitposition auf der Leitung C angezeigt. Diese markiert dann (und nur dann) die Bitposition der nächsten Zelldauer als reserviert. Die Eingangspuffersteuerungen im Zustand Z2 gehen jeweils nach dem so für sie reservierten Zugriff in den Grundzustand Z1 zurück.

Somit wird für die Verlierer einer Konkurrenzsituation unmittelbar anschließend die Fairneß bzgl. des Durchsatzes wieder hergestellt.

Fig. 3 zeigt beispielhaft die Aufteilung der Eingänge der Vermittlungseinrichtung in 3 verschiedene Prioritätsklassen gemäß Anspruch 2:

Unter den Zugriffssteuerungen 3.a bis 3.j wurden 3 Gruppen (I, II und III) gebildet, indem die R- und die C-Leitung zwischen 3.c und 3.d (Markierung X) sowie zwischen 3.f und 3.g (Markierung Y) unterbrochen wurden.

Dies hat zur Folge, daß ein Fairneßausgleich nur noch zwischen den Eingangspuffern innerhalb einer der 3 Koordinierungsgruppen erfolgen kann. Jeweils die oberste Steuerung innerhalb einer Gruppe führt (aufgrund der Fairneßinformationen, die sie von den einzelnen Gruppenmitgliedern über die Leitung C erhalten hat) entsprechende Berechnungen durch, bzw. markiert auf der R-Leitung entsprechende Bitpositionen als reserviert.

Nur die Leitung B wird unverändert zu allen Zugriffssteuerungen durchgeführt. Somit sind die Mitglieder der Gruppe I als Gesamtheit gegenüber den Mitgliedern der Gruppen II und III (und ebenso die Mitglieder der Gruppe II gegenüber den Mitgliedern der Gruppe III) bevorrechtigt bzgl. des Zugriffs auf die entsprechenden Eingänge. Eingangspuffer innerhalb einer Gruppe können jeweils den gleichen Durchsatz erreichen.

Durch Einfügen der Leitungsunterbrechungen an anderen oder zusätzlichen Stellen lassen sich entsprechend andere Gruppierungen erreichen.

In Fig. 4 werden beispielhaft die oberen beiden Prioritätsklassen I und II gemäß Anspruch 3 durch zusätzliche Rückführleitungen zur Bearbeitung von Multicast- und hochprioritem Verkehr verwendet. Die dargestellte Topologie der Vermittlungseinrichtung ermöglicht so die Bearbeitung zweier Prioritätsklassen und eines Multicast-Zelltyps mit variabler Zielausgangsanzahl:

Die an der Vermittlungseinrichtung eintreffenden Zellen werden zunächst den Eingangspuffer der niedrigsten Prioritätsklasse III zugeführt.

Zellen der niedrigeren Prioritätsstufe werden dort (wie bisher) nach Zielausgängen getrennt in den Subpuffern 2.a bis 2.n abgelegt, aus denen sie dann je nach Verfügbarkeit entsprechender Bitpositionen an die Zielausgänge weitergeleitet werden (Weg X in Fig. 4). Zel-

len der hohen Prioritätsstufe werden zunächst pro Eingangspuffer in jeweils drei eigenen Subpuffern aufgenommen. Jedem dieser Subpuffer eines Eingangspuffers ist einer der 3 Eingangspuffer (2'.c bis 2'.e) der Sonderpuffersteuerungen der Prioritätsgruppe II zugeordnet. Die hochpriorioren Zellen werden nun über den Weg X' und die Rückführungsleitungen 9'.c bis 9'.e an die Eingangspuffer der Prioritätsklasse II weitergeleitet. Dort werden sie nach Zielausgängen getrennt gespeichert und können bevorzugt auf die Bitpositionen zugreifen und anschließend über den Weg X'' die Ausgänge der Vermittlungseinrichtung erreichen. Der faire Zugriff der einzelnen Eingänge 1 der Vermittlungseinrichtung auf diese höhere Prioritätsklasse wird über (in diesem Beispiel) 3 zusätzliche Bitpositionen auf der seriellen Leitung gesteuert, die von einer Eingangspuffersteuerung belegt werden müssen, bevor eine Übertragung auf dem Weg X' möglich ist.

Eine ähnliche Vorgehensweise erfolgt für auf den Eingängen 1 eintreffende Multicast-Zellen. Diese werden zunächst von jeweils 2 speziellen Subpuffern pro Eingangspuffer (2.a bis 2.n) aufgenommen. Jedem dieser Subpuffer ist ein Sonderpuffer der Prioritätsgruppe I zugeordnet, zu dem die Zellen (noch ohne Duplizierung) dann wieder auf dem Weg X' (einen erfolgreichen Zugriff auf eine von 2 zugeordneten Bitpositionen vorausgesetzt) übertragen werden. Die beiden zugehörigen Sonderpuffersteuerungen 3'.a und 3'.b haben die höchste Priorität in diesem Ausführungsbeispiel und können nun entsprechend den Zielausgängen der Multicast-Zellen entsprechend viele Bitpositionen sofort reservieren, so daß größtenteils alle Tochterzellen einer Multicast-Zelle innerhalb einer einzigen Zelldauer zu den Ausgängen (auf dem Weg X'') übertragen werden können. Die Erzeugung dieser Tochterzellen kann dabei je nach koordinierter Grundarchitektur der Vermittlungseinrichtung entweder in den Eingangspuffern 2'.a und 2'.b oder im Kern 10 erfolgen. Die letztgenannte Möglichkeit ist insbesondere bei der Ausführung des Kerns 10 als Crossbar oder reine Verdrahtungslösung besonders vorteilhaft.

Bei realen Vermittlungseinrichtungen sind (anders als im vorgestellten Ausführungsbeispiel) eine Vielzahl von dedizierten Puffern und Puffersteuerungen der höheren Prioritätsklassen vorhanden. Ähnlich wie oben bei Fig. 3 beschrieben können die einzelnen Prioritätsklassen durch einfaches Durchtrennen bzw. Neuverbinden der C- und R-Leitungen leicht modifiziert werden. Da die Anzahl der dedizierten Subpuffer in den "normalen" Eingangspuffern (2.a etc.) nur von der Anzahl der insgesamt vorhandenen dedizierten Puffersteuerungen abhängig ist, kann eine Umgruppierung der Prioritätsklassen (verbunden mit einer Umwidmung der entsprechenden dedizierten Puffersteuerungen) ohne größere Hardware-Modifikationen im laufenden Betrieb erfolgen.

Fig. 5 zeigt die Bearbeitung von Zellen aus konstantbitratigen Verbindungen (nur diese sind eingezeichnet) durch vorherige Markierung von Bitpositionen auf den Koordinierungsleitungen. Es sind insgesamt drei Eingangsleitungen der Vermittlungseinrichtung gezeichnet (1, 2, 3), die Zellen für die drei dargestellten Ausgangsleitungen (A, B, C) haben. Die Pfeile zeigen jeweils die Signalflußrichtung auf den einzelnen Leitungen. Die Vermittlungsbeziehungen innerhalb des Kerns der Vermittlungseinrichtung sind hier durch die gestrichelten Pfeile angedeutet. Die Zellen sind entsprechend ihren Zielausgängen auf den Eingangsleitungen gekennzeichnet. Sie kommen zu den Zeitpunkten t_0 bis t_{10} an der

Vermittlungseinrichtung an und verlassen diese zu den Zeitpunkten t_1 bis t_{12} (wobei die genaue Zeitdifferenz von t_0 nach t_1 hier ohne weitere Bedeutung ist). Die in Rahmen Ra0 bis Ra11 (entsprechend den einzelnen Zelldauern) gruppierten Bitpositionen auf der Koordinierungsleitung sind entlang der senkrechten Linie in der Bildmitte eingezeichnet.

Im Beispiel haben u. a. jeweils nach 8 Zelldauern (also zu $t_1, t_9 \dots$) alle drei Eingänge je eine Zelle aus einer konstantbitratigen Verbindung. Entsprechend sind die A-Bitpositionen von Rahmen 1, 2 und 3 (sowie 9, 10 und 11 etc.) für die ausschließliche Verwendung durch Zellen aus konstantbitratigen Verbindungen markiert worden (Schraffur). Durch den seriellen Zugriff der Eingangspuffersteuerungen auf die Koordinierungsleitung werden also die Eingänge 1, 2 und 3 stets in der gleichen, deterministischen Reihenfolge bedient.

Patentsprüche

1. Verfahren zur Koordinierung von eingangspufferten ATM-Vermittlungseinrichtungen über eine serielle Datenleitung zwischen den Steuerungen der einzelnen Eingangspuffer zur Vermeidung von Ausgangsblockierungen durch Zuordnung der erfolgreichen Belegung von Bitpositionen auf der seriellen Leitung zur Absenderlaubnis einer ATM-Zelle zum der Bitposition zugeordneten Ausgang der Vermittlungseinrichtung, dadurch gekennzeichnet, daß die Eingangspuffer in Subpuffer bzgl. der Ausgänge der Vermittlungseinrichtung unterteilt sind und der prüfende und belegende Zugriff der einzelnen Eingangspuffersteuerungen auf die Bitpositionen der seriellen Leitung zunächst völlig ungeordnet rein sequentiell erfolgt und stets bei derjenigen Puffersteuerung beginnt, die sich am Anfang der seriellen Leitung befindet, und der Fairneßausgleich der Durchsätze der einzelnen, bezüglich derselben Ausgänge konkurrierenden, Eingangspuffer durch dem eigentlichen Bitbelegungsgriff überlagerte adaptive Reservierungsverfahren bzgl. einzelner Bitpositionen hergestellt wird, indem zeitweilig nur den Steuerungen der bis dahin benachteiligten Eingänge ein Zugriff auf hierfür reservierte Bitpositionen erlaubt wird.

2. Koordinierungsverfahren nach Anspruch 1, dadurch gekennzeichnet, daß die Puffersteuerungen entlang der seriellen Leitung nach Bedarf durch die Unterbrechung der entsprechenden Reservierungsleitungen, nicht aber der Belegungsleitung, flexibel in geometrisch zusammenhängende Gruppen unterteilt werden können und somit jeweils für die Steuerungen innerhalb einer Gruppe ein von den Steuerungen der anderen Gruppen unabhängiges Reservierungsverfahren durchgeführt wird, aber die von einer Gruppe belegten Bitpositionen von den nachfolgenden Gruppen nicht nochmals belegt werden können, wodurch sich jede Gruppe einer eigenen Prioritätsklasse bezüglich des Zugriffs auf die Ausgänge der Vermittlungseinrichtung zuordnen läßt.

3. Koordinierungsverfahren nach Anspruch 3, dadurch gekennzeichnet, daß nur die Steuerungen der untersten Gruppe den eigentlichen Eingängen der Vermittlungseinrichtung zugeordnet sind, während die auf der seriellen Koordinierungsleitung davor liegenden Gruppen die Übertragung höher priorisierter ATM-Zellen abwickeln und dazu von den

Steuerungen der untersten Gruppe die entsprechenden Zellen über die Rückschleifung dedizierter Ausgänge erhalten, wobei der Zugang der Steuerungen der untersten Gruppe auf diese Rückführungsleitungen über zusätzlich eingeführte Bitpositionen geregelt wird. 5

4. Koordinierungsverfahren nach Anspruch 1, dadurch gekennzeichnet, daß entsprechend dem Verkehrsaufkommen an ATM-Zellen aus Verbindungen konstanter Bitrate eine Anzahl von Bitpositionen auf der seriellen Leitung durch eine Kopfstation (die den Bitstrom erzeugt) dergestalt gekennzeichnet werden, daß die Eingangspuffersteuerungen nur für die Absendung von Zellen aus den konstantbitratigen Verbindungen die so gekennzeichneten Bitpositionen belegen dürfen. 15

Hierzu 5 Seite(n) Zeichnungen

20

25

30

35

40

45

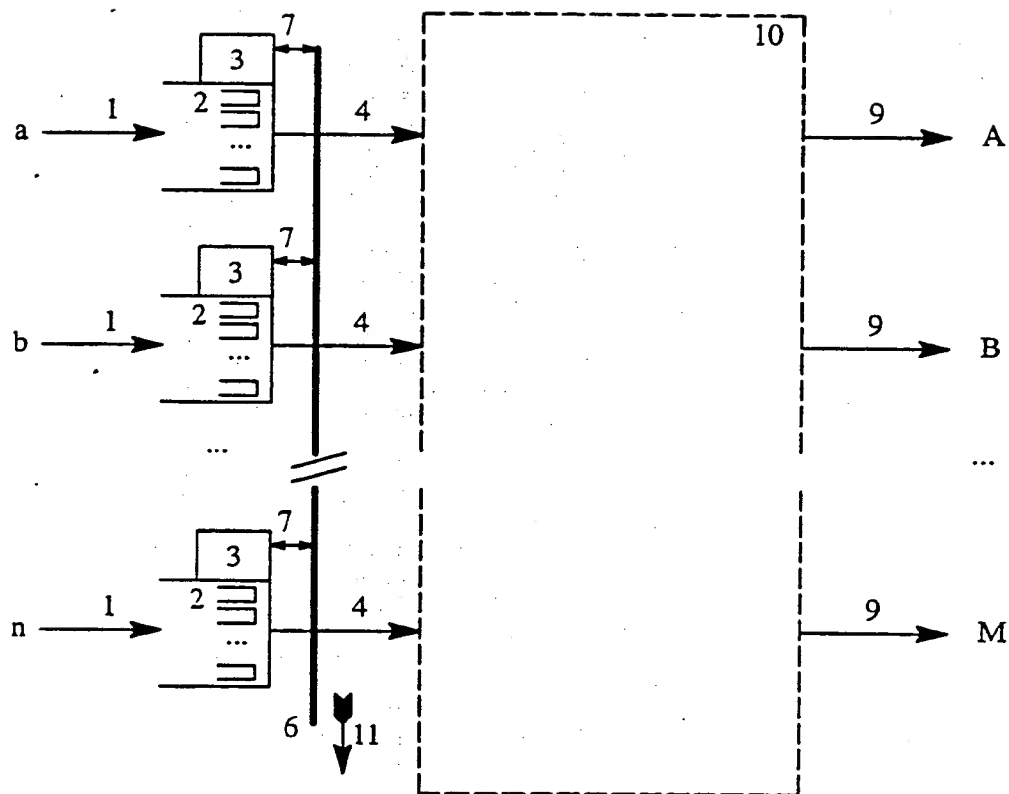
50

55

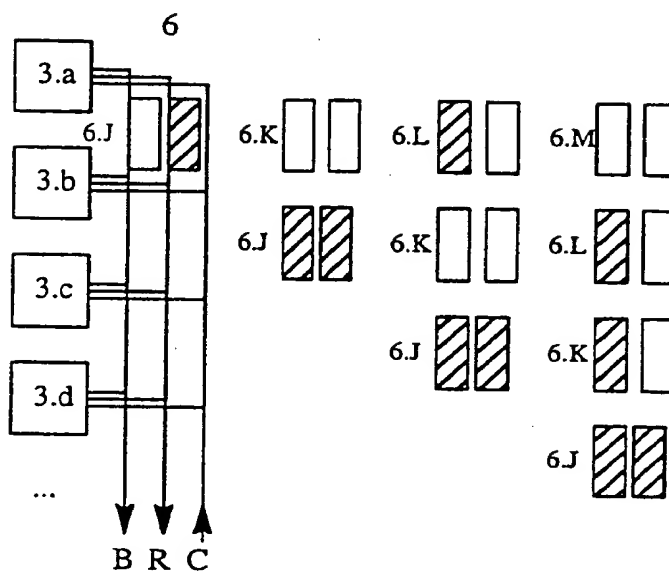
60

65

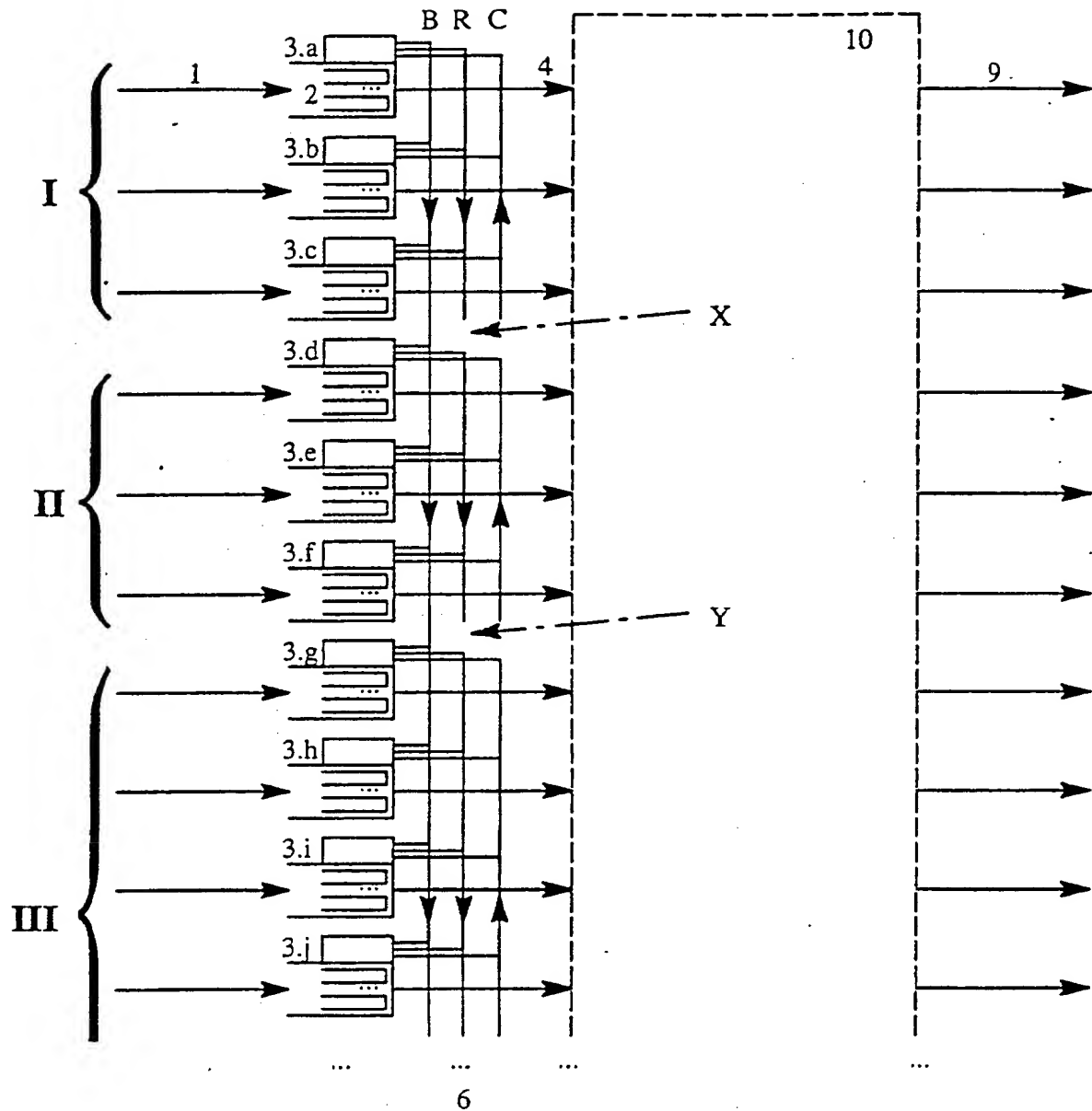
Figur 1:



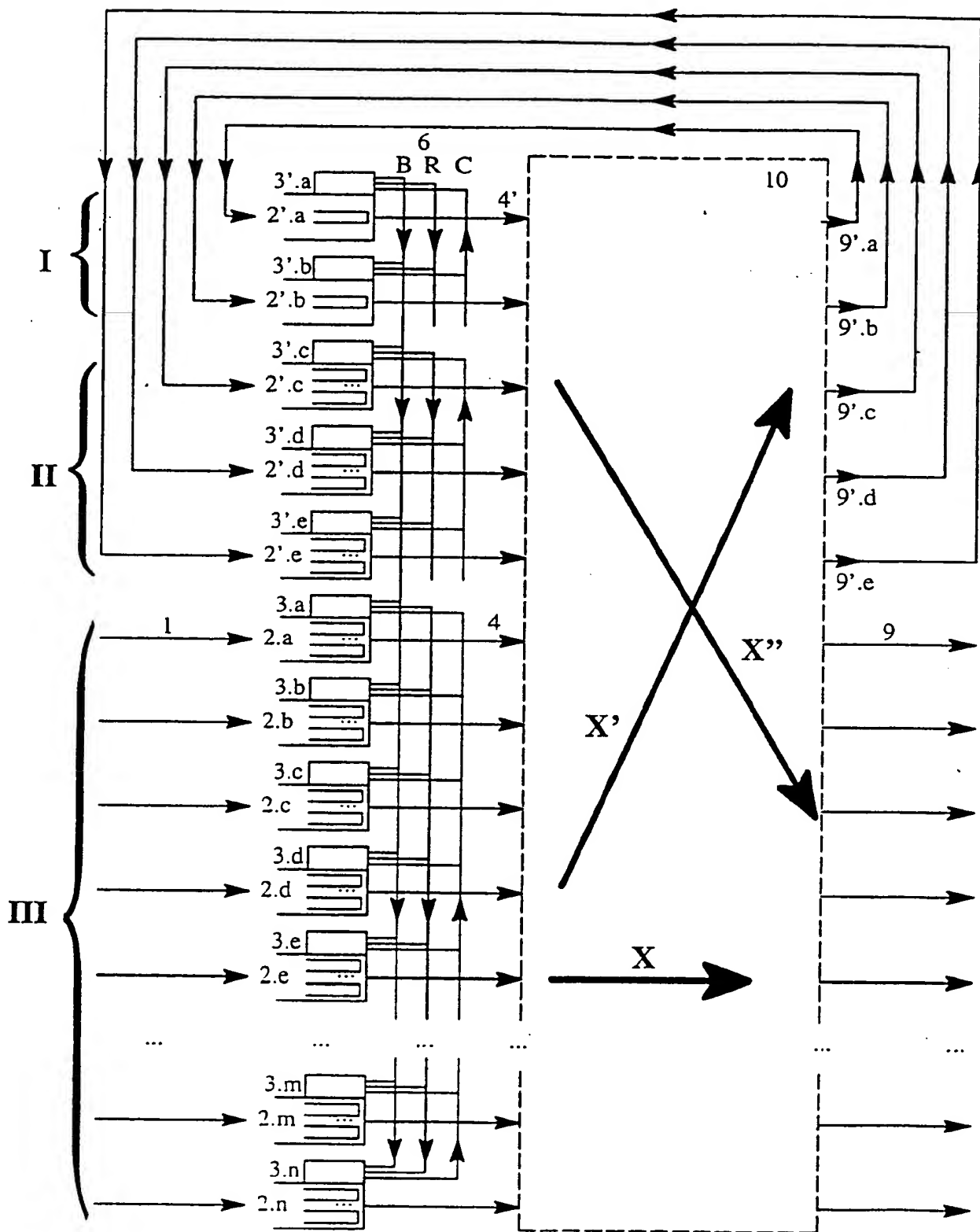
Figur 2a: Figur 2b: Figur 2c: Figur 2d:



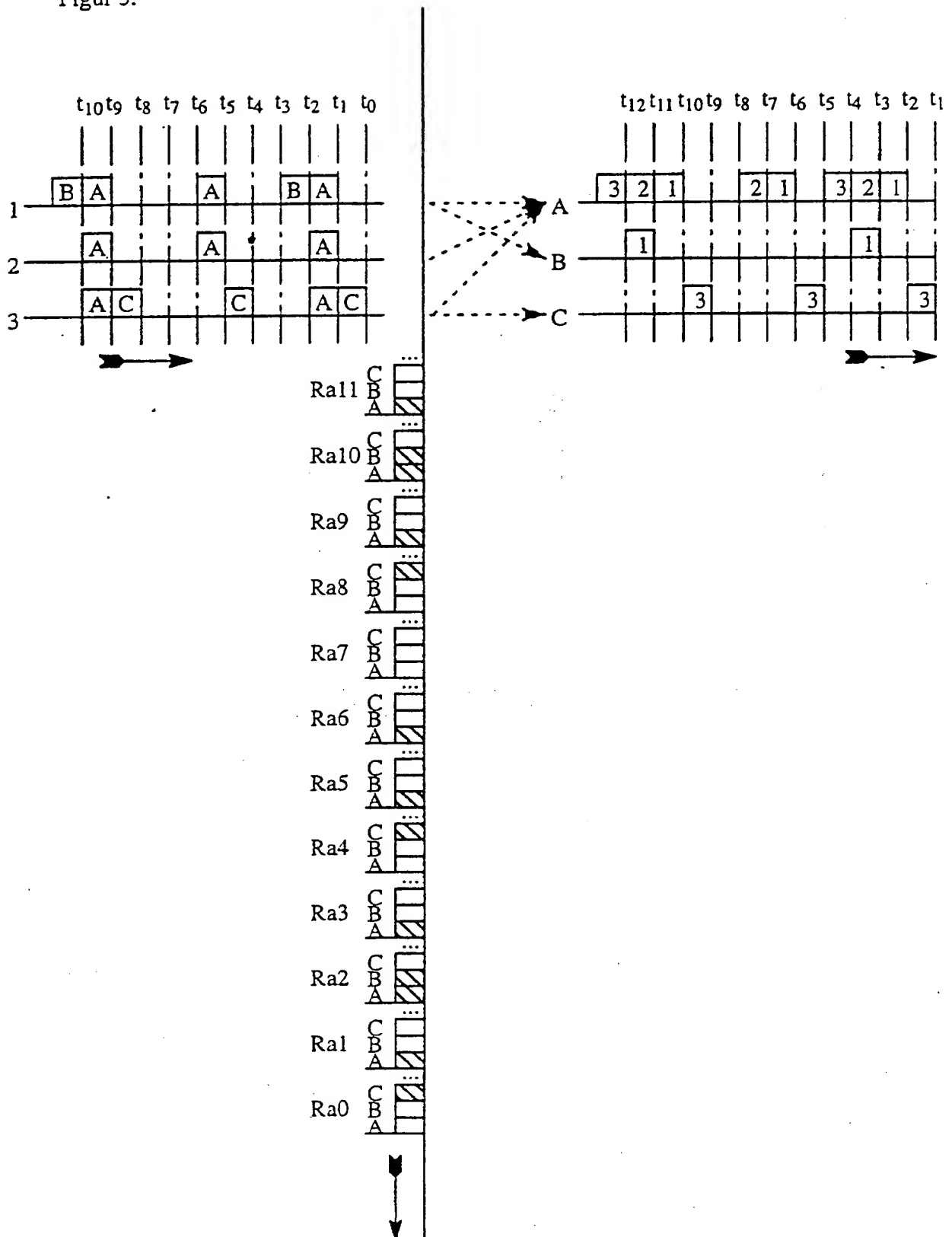
Figur 3:



Figur 4:



Figur 5:

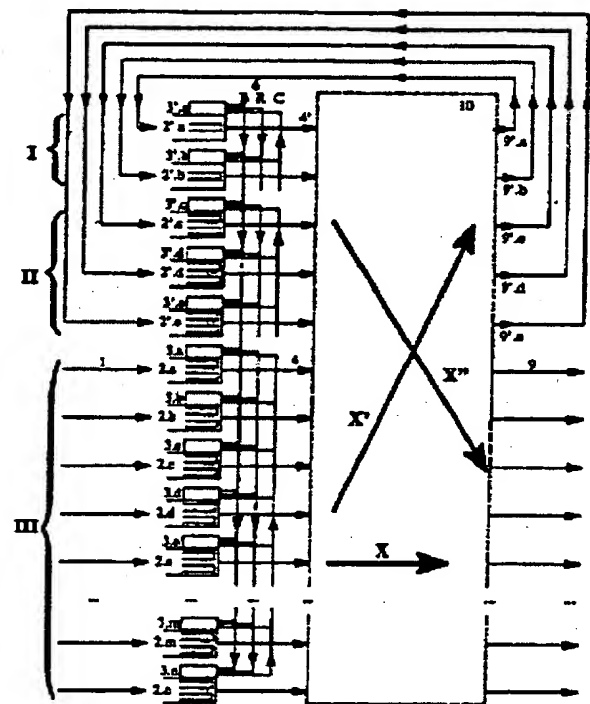


Buffer coordination method for ATM switching devices

Patent number: DE19540160
Publication date: 1997-04-30
Inventor: KIRSTAEDTER ANDREAS (DE)
Applicant: KIRSTAEDTER ANDREAS (DE)
Classification:
- international: H04L12/56
- european: H04L12/56E
Application number: DE19951040160 19951027
Priority number(s): DE19951040160 19951027

Abstract of DE19540160

The method involves using a serial data conductor between the control mechanisms of individual input buffers to avoid output blockages. A successful usage of bit positions on the serial conductor is assigned to a transmission command of an ATM cell on an output of the switching devices, associated with that bit position. The input buffers are subdivided into sub-buffers with respect to the outputs of the switches. The initial association of bit positions on the serial conductor to the individual input buffer controls, is unsorted and purely sequential. The initial association always begins with the buffer control which is found at the first position of the serial conductor. An adaptive reservation method is used to achieve a fairness adjustment of throughputs of individual input buffers which compete for the same outputs. The association of input buffers to individual bit positions is produced by occasionally allowing the controls of, by then disadvantaged inputs, access on reserved bit positions.



Data supplied from the **esp@cenet** database - Worldwide

This Page Blank (uspto)